

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-150046
 (43)Date of publication of application : 02.06.1998

(51)Int. Cl. H01L 21/3213
 H01L 21/28
 H01L 21/3065

(21)Application number : 08-320964 (71)Applicant : TEXAS INSTR JAPAN LTD
 (22)Date of filing : 15.11.1996 (72)Inventor : HIROTA SUMIO

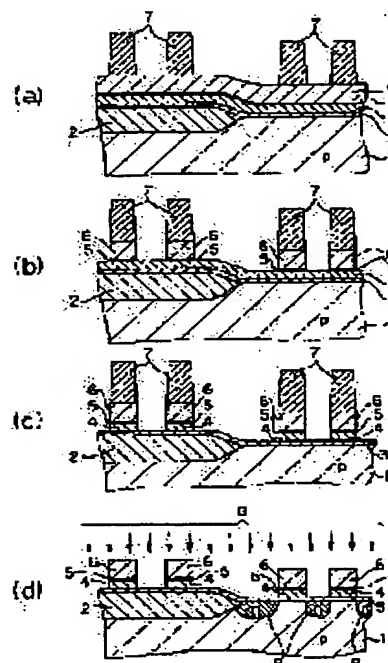
(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce damage by etching a gate oxide film and to prevent break of it at the time of patterning of a polysilicon gate.

SOLUTION: A thin polysilicon film 4 is formed on a gate oxide film 3. A natural oxide film 5 is formed on the surface of the polysilicon film 4. A thick polysilicon film 6 substantially constituting a gate electrode is formed on the natural oxide film 5. The polysilicon film 6 is etched in a main etching process exhibiting a high etching rate and a good shape controllability. When exposure of the natural oxide film 5 is detected, the main etching process is switched to an overetching process for a silicon oxide film at a larger selection ratio to remove completely the thin polysilicon film 4 on the gate oxide film 3.

In this way, damage by etching of the gate oxide film 3 is substantially reduced in comparison with the case in which the completion of the main etching process is judged by detection of exposure of the gate oxide film.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's
decision of rejection]

[Kind of final disposal of application
other than the examiner's decision of
rejection or application converted
registration]

[Date of final disposal for
application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-150046

(43) 公開日 平成10年(1998) 6月2日

(51) Int. Cl.⁶

識別記号

P I

H 0 1 L 21/3213
21/28
21/3065

H 0 1 L 21/88
21/28
21/302

D
F
E

審査請求 未請求 請求項の数23 F D (全 9 頁)

(21) 出願番号 特願平8-320964

(22) 出願日 平成8年(1996)11月15日

(71) 出願人 390020248

日本テキサス・インスツルメンツ株式会社
東京都港区北青山3丁目6番12号 青山宮
土ビル

(72) 発明者 広田 純生

茨城県稲敷郡美浦村木原2355番地 日本テ
キサス・インスツルメンツ株式会社内

(74) 代理人 弁理士 佐々木 聖孝

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 ポリシリコンゲートのパターニング時、ゲート酸化膜のエッチングダメージを軽減し、その破れを防止する。

【解決手段】 ゲート酸化膜3の上に薄いポリシリコン膜4を形成し、そのポリシリコン膜4の表面に自然酸化膜5を形成する。実質的にゲート電極となる厚いポリシリコン膜6は、自然酸化膜5の上に形成する。まず、エッチングレートが高く、形状制御性の良いメインエッチング工程で、ポリシリコン膜6のエッチングを行う。自然酸化膜5の露出検出により、メインエッチング工程を、シリコン酸化膜に対する選択比の大きいオーバーエッチング工程に切り換え、ゲート酸化膜3上の薄いポリシリコン膜4を完全に除去する。

【効果】 ゲート酸化膜3の露出検出をメインエッチング工程の終了判定に用いる場合に比し、ゲート酸化膜3に対するエッチングダメージが大幅に軽減する。

